

CD4052 2路四选一模拟开关

1、概述

CD4052 是一块带有公共使能输入控制位的 2 路四选一模拟开关电路。每一个多路选择开关都有四个独立的输入/输出 (Y_0 到 Y_3)、一个公共的输入/输出端 (Z) 和选择输入端 (A)。公共使能输入控制位包括两个选择输入端 A_0 、 A_1 和一个低有效的使能输入端 \bar{E} 。

每一路都包含了四个双向模拟开关，开关的一边连接到独立输入/输出 (Y_0 到 Y_3)，另一边连接到公共输入/输出端 (Z)。

当 \bar{E} 为低电平时，四个开关中的其中一个被 A_0 和 A_1 选通 (低阻导通态)。当 \bar{E} 为高电平时，所有开关都处于高阻关断态，与 A_0 和 A_1 无关。

V_{DD} 和 V_{SS} 是连接到数字控制输入 (A_0 、 A_1 和 \bar{E}) 的电源电压。

($V_{DD} - V_{SS}$) 的范围是 3~18V，模拟输入输出 ($Y_0 \sim Y_3$ 和 Z) 能够在最高 V_{DD} ，最低 V_{EE} 之间变化。($V_{DD} - V_{EE}$) 不会超过 9V。

对于用做数字多路选择开关， V_{EE} 和 V_{SS} 是连在一起的 (通常接地)。

CD4052 主要应用于模拟多路选择开关、数字多路选择开关及信号选通。

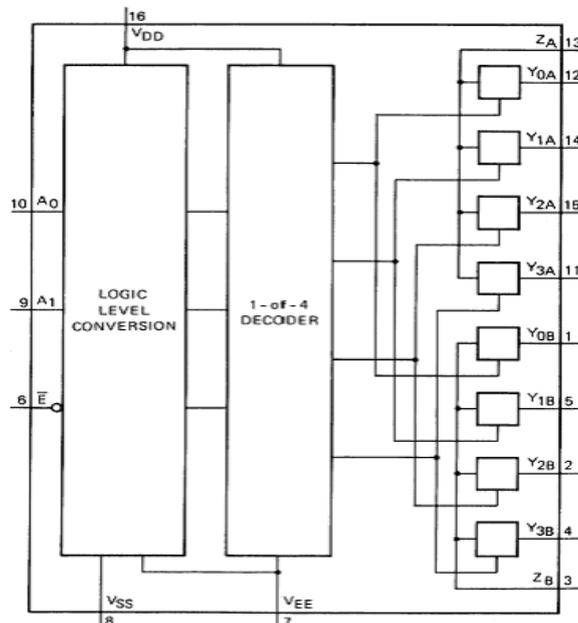
封装形式: DIP16 / SOP16 / SSOP16 / TSSOP16

产品订购信息

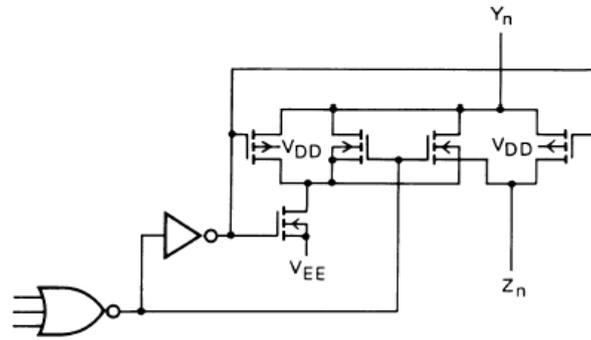
产品名称	封装	打印名称	包装	包装数量
CD4052BE	DIP16	CD4052	管装	1000 只/盒
CD4052BM/TR	SOP16	CD4052	编带	2500 只/盘
CD4052BMS/TR	SSOP16	CD4052	编带	2500 只/盘
CD4052BMT/TR	TSSOP16	CD4052	编带	2500 只/盘

2、功能框图及引脚说明

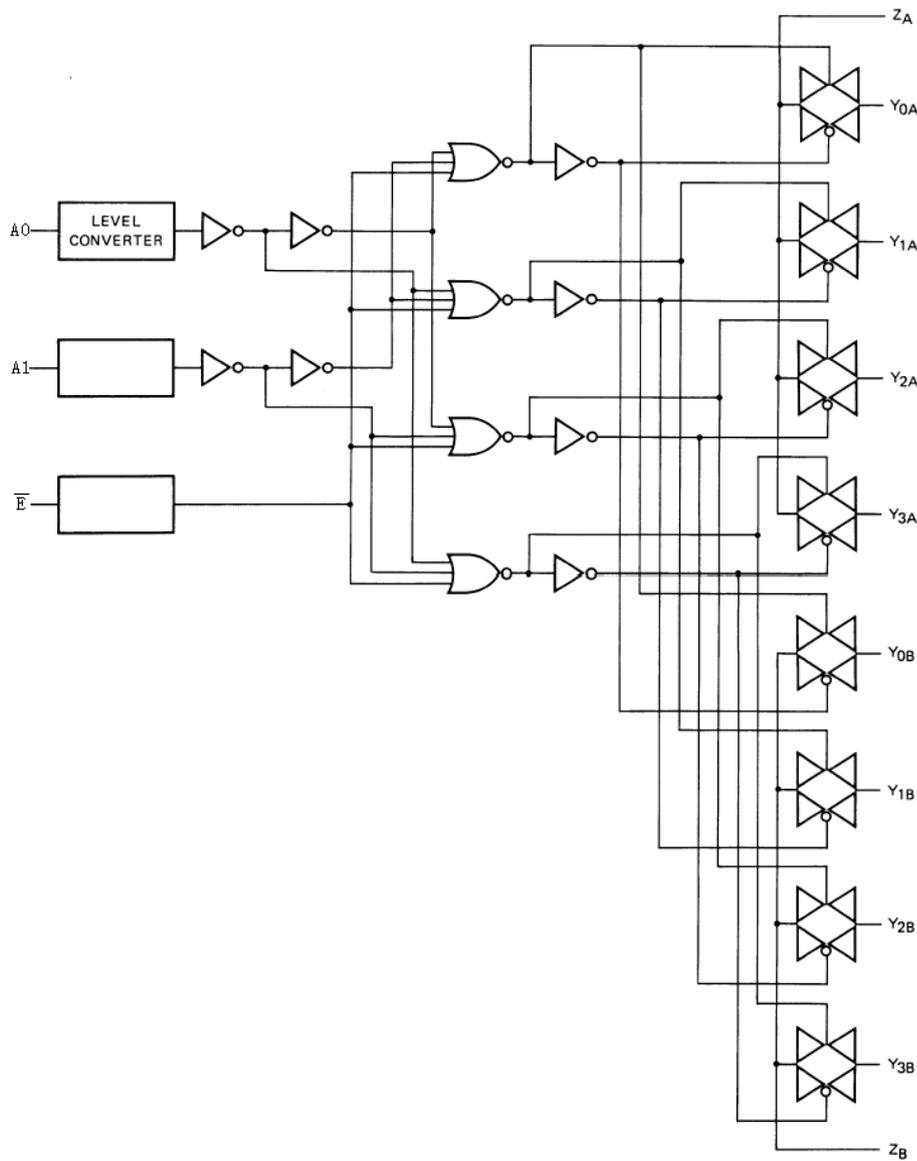
2.1、功能框图



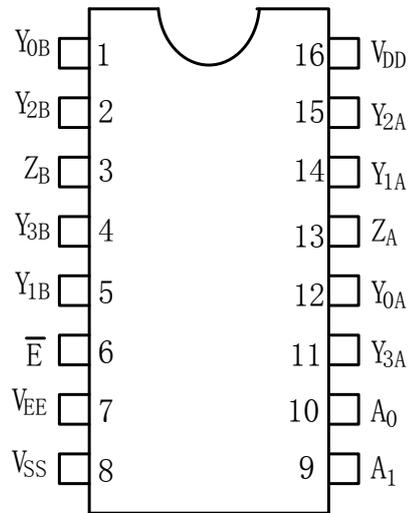
电路图（一个开关）



逻辑图



2.2、引脚排列图



2.3、引脚说明

引脚	符号	功能	引脚	符号	功能
1	Y _{0B}	B 路独立输入/输出	9	A ₁	选择输入
2	Y _{2B}	B 路独立输入/输出	10	A ₀	选择输入
3	Z _B	A、B 路各自共用输入/输出	11	Y _{3A}	A 路独立输入/输出
4	Y _{3B}	B 路独立输入/输出	12	Y _{0A}	A 路独立输入/输出
5	Y _{1B}	B 路独立输入/输出	13	Z _A	A、B 路各自共用输入/输出
6	\bar{E}	使能输入（低电平有效）	14	Y _{1A}	A 路独立输入/输出
7	V _{EE}	负电源电压	15	Y _{2A}	A 路独立输入/输出
8	V _{SS}	接地	16	V _{DD}	正电源电压

2.4、功能说明（真值表、逻辑关系等）

输入			沟道导通
\bar{E}	A ₁	A ₀	
L	L	L	Y _{0A} -Z _A ; Y _{0B} -Z _B
L	L	H	Y _{1A} -Z _A ; Y _{1B} -Z _B
L	H	L	Y _{2A} -Z _A ; Y _{2B} -Z _B
L	H	H	Y _{3A} -Z _A ; Y _{3B} -Z _B
H	×	×	无

注：1. H 是高电平状态（较高的正电压）

2. L 是低电平状态（较低的正电压）

3. " × " 是任意状态

3、电特性

3.1、极限参数

符号	参数	条件		最小	最大	单位
V_{DD}	电源电压范围			-0.5	+18	V
$V_{DD}-V_{EE}$	电源电压范围			-0.5	+18	V
I_Q	静态电流	$V_{DD}-V_{EE}=12V$			2	μA
V_I	输入电压范围			-0.5	$V_{DD}+0.5$	V
$ I_{IH} $	高电平输入电流	$V_{DD}=5V, V_I=V_{DD}$			1	μA
$ I_{IL} $	低电平输入电流	$V_{DD}=5V, V_I=0V$			1	μA
V_{IO}	输入输出电压范围			$V_{EE}-0.5$	$V_{DD}+0.5$	V
I_{IK}	输入钳位电流	$V_I < -0.5V$ 或 $V_I > V_{DD}+0.5V$		-	± 20	mA
I_{IOK}	输入输出钳位电流	$V_{IO} < V_{EE}-0.5V$ 或 $V_{IO} > V_{DD}+0.5V$		-	± 20	mA
I_T	开关导通电流	$V_O = -0.5V \sim V_{DD}+0.5V$		-	± 25	mA
I_{DD}, I_{GND}	V_{DD} 或 GND 电流			-	± 50	mA
P_D	功耗				500	mW
T_{STG}	贮存温度			-65	+150	$^{\circ}C$
T_{OP}	工作温度			-40	+85	$^{\circ}C$
T_L	焊接温度	10 秒	DIP 封装		245	$^{\circ}C$
			SOP 封装		250	

3.2、推荐使用条件

符号	参数	条件	最小	典型	最大	单位
V_{DD}	电源电压		3.0	5.0	18.0	V
V_{EE}	电源电压		-6.0		0	V
$V_{DD}-V_{EE}$	电源电压		3.0		18.0	V
V_I	输入电压		0	-	V_{DD}	V
V_{IO}	输入输出电压		V_{EE}	-	V_{DD}	V
t_r, t_f	输入上升、下降时间	$V_{CC}=3.0V$	-	-	1000	ns
		$V_{CC}=5.0V$	-	-	500	ns
		$V_{CC}=6.0V$	-	-	400	ns
T_{OP}	工作温度		-40	-	+85	$^{\circ}C$

3.3、电气特性

3.3.1、直流特性

参数	$V_{DD} - V_{EE}$ (V)	符号	典型	最大	单位	条件
导通电阻	5 9	R_{ON}	350 80	2500 245	Ω	$V_{IS}=0 \sim V_{DD} - V_{EE}$ 见图 1
导通电阻	5 9	R_{ON}	115 50	340 160	Ω	$V_{IS}=0$ 见图 1
导通电阻	5 9	R_{ON}	120 65	365 200	Ω	$V_{IS}=V_{DD} - V_{EE}$ 见图 1
任意两个通道导通电阻的差值	5 9	ΔR_{ON}	25 10	— —	Ω	$V_{IS}=0 \sim V_{DD} - V_{EE}$ 见图 1
关断态漏电流 (所有通道关断)	5 9	I_{OZZ}	— —	— 1000	nA	\bar{E} 处于 V_{DD}
关断态漏电流 (任一通道)	5 9	I_{OZY}	— —	— 200	nA	\bar{E} 处于 V_{EE}

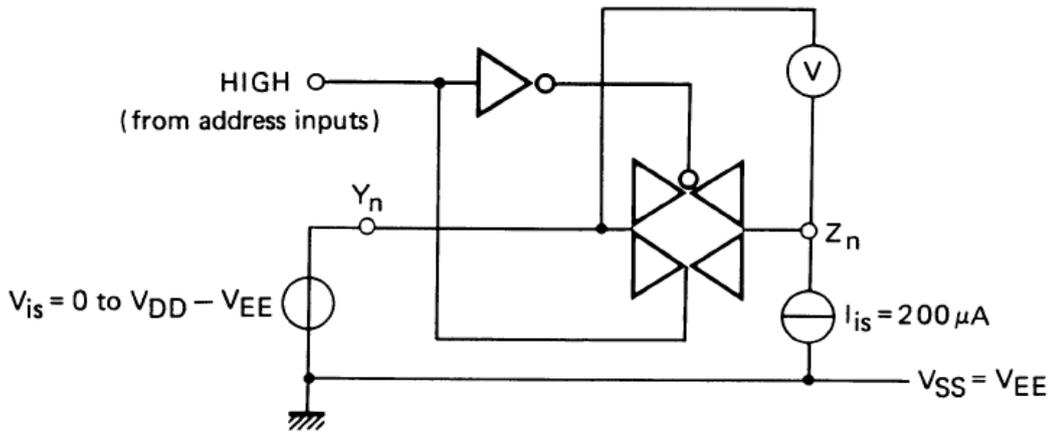
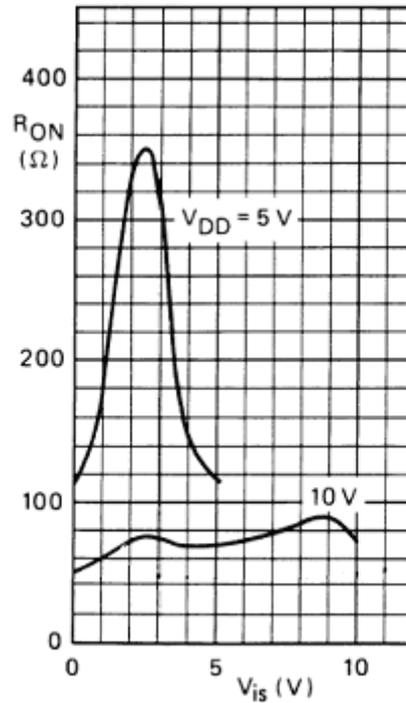


图 1 导通电阻的测试


 图 2 导通电阻是输入电压的函数 ($I_{is}=200\ \mu\text{A}$ $V_{SS}=V_{EE}=0\text{V}$)

3.3.2、交流特性 ($V_{SS}=V_{EE}=0\text{V}$; $T_{amb}=25^\circ\text{C}$; 输入跃变时间 $\leq 20\text{ns}$)

		V_{DD} (V)	功率计算公式 (μW)		f_i 是输入频率(MHz) f_o 是输出频率(MHz) C_L 是负载电容(pF) $\Sigma(f_o C_L)$ 是输出之和 V_{DD} 是电源电压(V)		
一块电路的动态功率耗散 (P)		5	$1300f_i + \Sigma(f_o C_L) \times V_{DD}^2$				
		9	$6100f_i + \Sigma(f_o C_L) \times V_{DD}^2$				
参数		V_{DD} (V)	符号	典型	最大	单位	备注
传输延时 V_{is} → V_{os}	高到低	5	t_{PHL}	10	20	ns	注释 1
	低到高	9		5	10		
传输延时 A_n → V_{os}	高到低	5	t_{PHL}	150	305	ns	注释 2
	低到高	9		65	135		
	高到低	5	t_{PLH}	150	300	ns	注释 2
	低到高	9		75	150		

输出禁止时间 $\overline{E} \rightarrow V_{os}$	高	5 9	t_{PHZ}	95 90	190 180	ns	注释 3
	低	5 9	t_{PLZ}	100 90	205 180	ns	注释 3
输出使能时间 $\overline{E} \rightarrow V_{os}$	高	5 9	t_{PZH}	130 55	260 115	ns	注释 3
	低	5 9	t_{PZL}	120 50	240 100	ns	注释 3
失真 (正弦波响应)		5 9		0.25 0.04		%	注释 4
任意两个通道之间的干扰		5 9		— 1		MHz	注释 5
串扰, 使能端或选择端到输出		5 9		— 50		mV	注释 6
关断态		5 9		— 1		MHz	注释 7
导通态频率响应		5 9		13 40		MHz	注释 8

注释: V_{is} 是 Y 或 Z 端的输入电压, V_{os} 是 Y 或 Z 端的输出电压

- $R_L=10K\Omega$ 到 V_{EE} ; $C_L=50pF$ 到 V_{EE} ; $\overline{E}=V_{SS}$; $V_{is}=V_{DD}$ (方波); 如图 3 所示
- $R_L=10K\Omega$; $C_L=50pF$ 到 V_{EE} ; $\overline{E}=V_{SS}$; $An=V_{DD}$ (方波); 测量 t_{PLH} 时 $V_{is}=V_{DD}, R_L$ 到 V_{EE} ; 测量 t_{PHL} 时 $V_{is}=V_{EE}, R_L$ 到 V_{DD} , 如图 3 所示
- $R_L=10K\Omega$; $C_L=50pF$ 到 V_{EE} ; $\overline{E}=V_{DD}$ (方波); 测量 t_{PHZ} 和 t_{PZH} 时, $V_{is}=V_{DD}$, R_L 到 V_{EE} ; 测量 t_{PLZ} 和 t_{PZL} 时; $V_{is}=V_{EE}, R_L$ 到 V_{DD} ; 如图 3 所示
- $R_L=10K\Omega$; $C_L=15pF$; 通道开通; $V_{is}=V_{DD (P-P)}/2$ (正弦波, 在 $V_{DD}/2$ 处对称), $f_{is}=1KHz$; 如图 4 所示
- $R_L=1K\Omega$; $V_{is}=V_{DD (P-P)}/2$ (正弦波, 在 $V_{DD}/2$ 处对称); $20lg(V_{os}/V_{is})=-50dB$; 如图 5 所示
- $R_L=10K\Omega$ 到 V_{EE} ; $C_L=15pF$ 到 V_{EE} ; \overline{E} 或 $An=V_{DD}$ (方波); 干扰是 $|V_{os}|$ (峰值); 如图 3 所示
- $R_L=1K\Omega$; $C_L=5pF$; 通道关断; $V_{is}=V_{DD (P-P)}/2$ (正弦波, 在 $V_{DD}/2$ 处对称); $20lg(V_{os}/V_{is})=-50dB$; 如图 4 所示
- $R_L=1K\Omega$; $C_L=5pF$; 通道开; $V_{is}=V_{DD (P-P)}/2$ (正弦波, 在 $V_{DD}/2$ 处对称); $20lg(V_{os}/V_{is})=-3dB$; 如图 4 所示

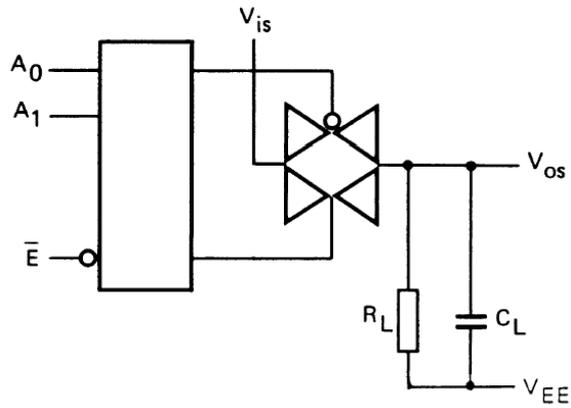


图 3

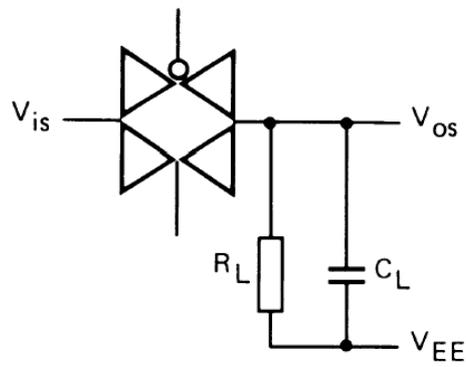


图 4

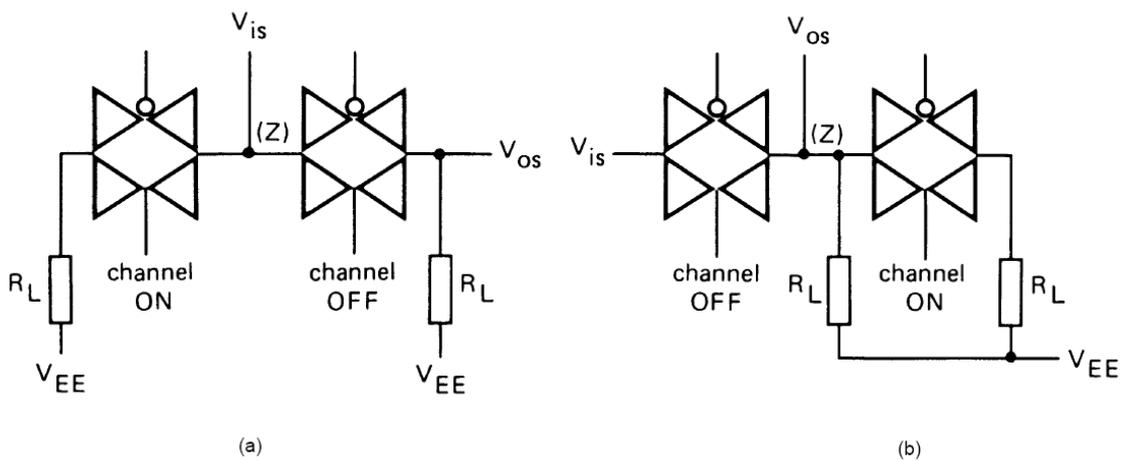
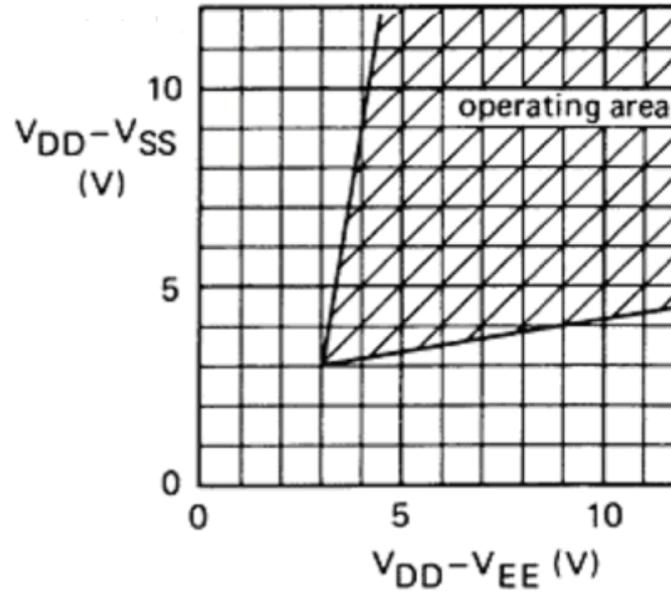


图 5

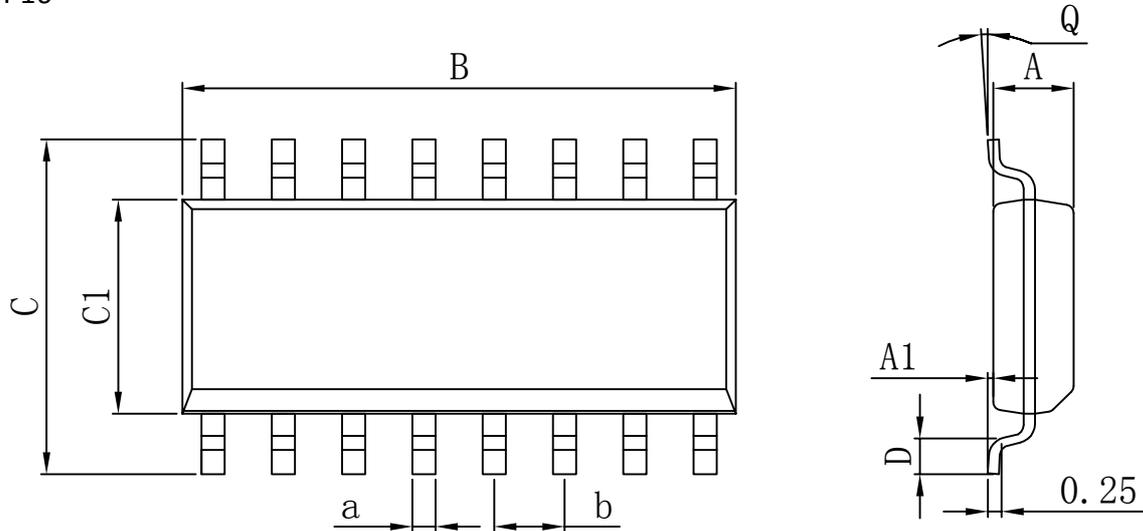
4、应用说明

电路工作区域



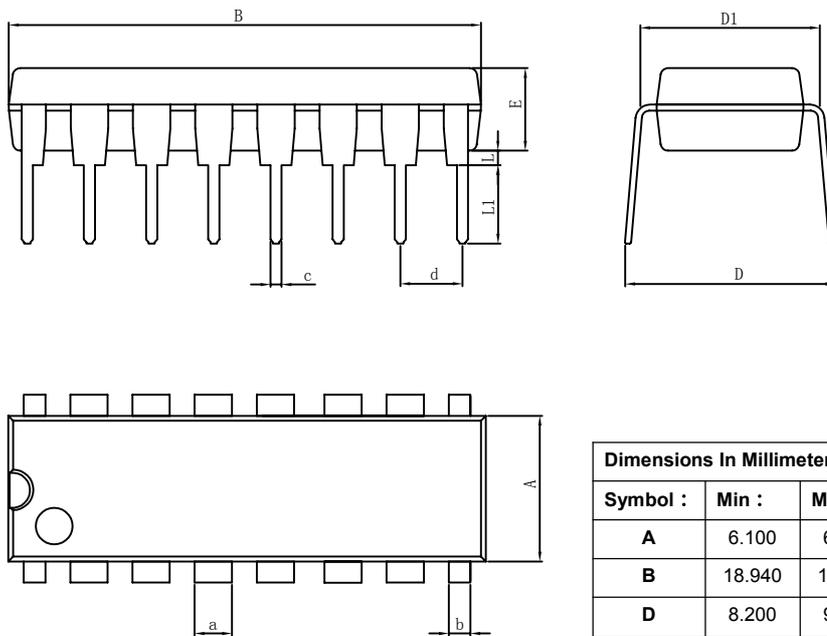
封装外形

SOP16



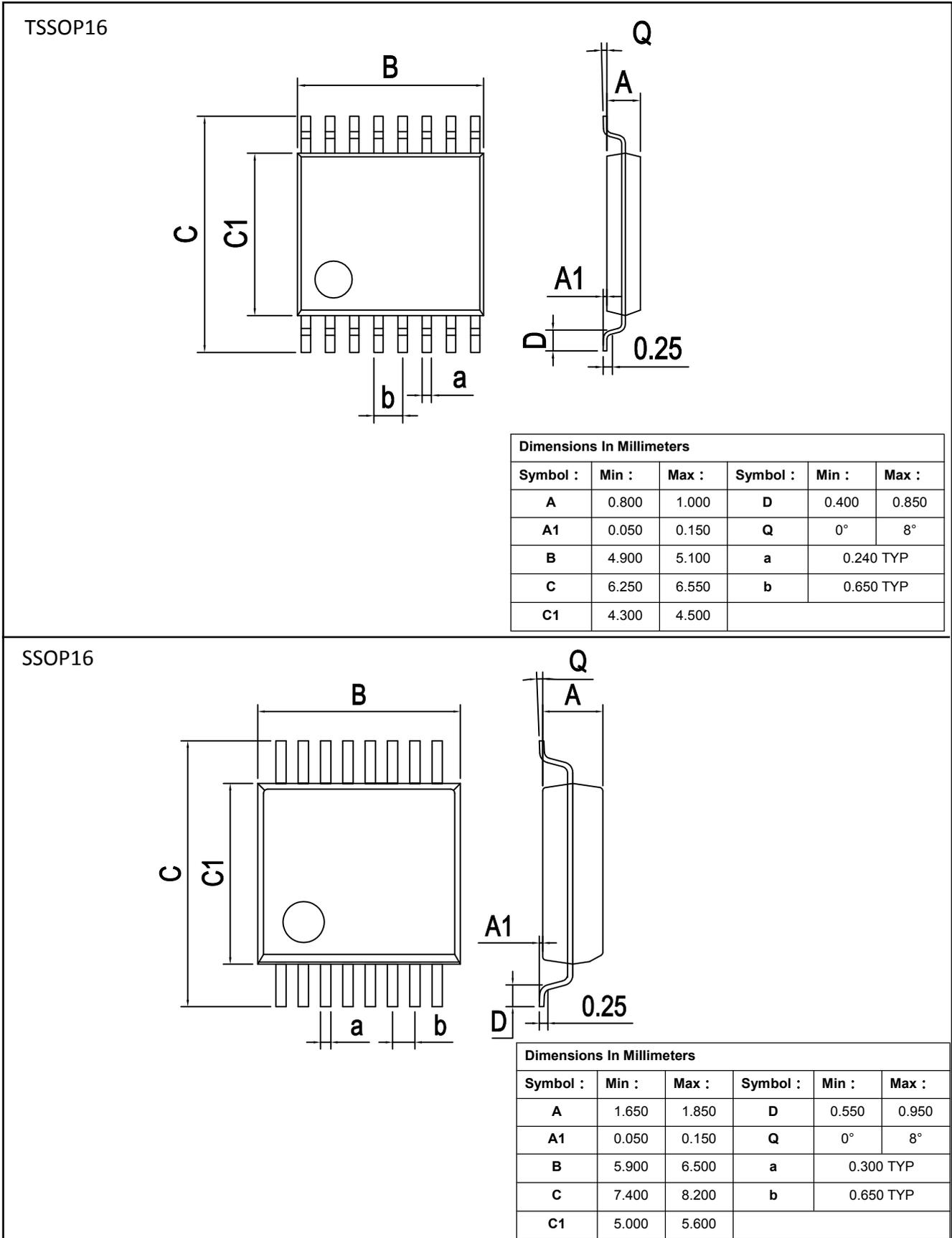
Dimensions In Millimeters					
Symbol :	Min :	Max :	Symbol :	Min :	Max :
A	1.225	1.570	D	0.400	0.950
A1	0.100	0.250	Q	0°	8°
B	9.800	10.00	a	0.420 TYP	
C	5.800	6.250	b	1.270 TYP	
C1	3.800	4.000			

DIP16



Dimensions In Millimeters					
Symbol :	Min :	Max :	Symbol :	Min :	Max :
A	6.100	6.680	L	0.500	0.800
B	18.940	19.560	a	1.524 TYP	
D	8.200	9.200	b	0.889 TYP	
D1	7.42	7.820	c	0.457 TYP	
E	3.100	3.550	d	2.540 TYP	
L	0.500	0.800			

封装外形



重要声明：

华冠半导体保留未经通知更改所提供的产品和服务。客户在订货前应获取最新的相关信息，并核实这些信息是否最新且完整的。

客户在使用华冠半导体产品进行系统设计和整机制造时有责任遵守安全标准并采取安全措施，以避免潜在风险可能导致人身伤害或财产损失情况的发生。

华冠半导体产品未获得生命支持、军事、航空航天等领域应用之许可，华冠半导体将不承担产品在这些领域应用造成的后果。

华冠半导体的文档资料，仅在没有对内容进行任何篡改且带有相关授权的情况下才允许进行复制。华冠半导体对篡改过的文件不承担任何责任或义务。